

数字信号控制器的原理图和PCB布局指南

作者: Mohammad Kamil

1 介绍

本应用笔记介绍了采用恩智浦数字信号控制器 (DSC) 的系统的印刷电路板 (PCB) 布局指南, 并提供了有关其他电路和元器件 (如电阻器和电容器) 的建议。

目录

1	介绍	1
2	DSC芯片上的测试引脚 (JTAG)	2
3	电源布局	3
4	端接所有未使用的DSC芯片引脚	4
5	模拟输入引脚	4
6	使用外部晶体振荡器	5
7	参考资料	5
8	修订历史	6

2 DSC芯片上的测试引脚 (JTAG)

恩智浦DSC芯片配备了增强型片上仿真 (EOnCE) 模块，专用于调试芯片上运行的应用软件。JTAG/EOnCE提供非侵入式的实时调试功能，不受处理器的速度影响。对于56F80x内核，JTAG/EOnCE端口还可用来编程内部闪存EOnCE模块。

表1. JTAG/OnCE引脚

引脚	复位后的默认状态为	说明
测试数据输入 (TDI)	TDI	TDI在TCK的上升沿进行采样，并具有内部上拉电阻。
测试数据输出 (TDO)	TDO	TDO在移位IR和移位DR控制器状态下驱动，并在TCK下降沿发生变化。
测试时钟输入 (TCK)	TCK	TCK内部连接上拉电阻。施密特触发器输入用于抗噪。 注意：TCK引脚始终通过2.2kΩ电阻器与V _{DD} 连接。
测试模式选择输入 (TMS)	TMS	TMS在TCK的上升沿进行采样，并具有内部上拉电阻。 -如果需要保留板载调试功能，请始终通过2.2kΩ电阻器将TMS引脚连接到V _{DD} 。 -如果不需要保留板载调试功能，则直接将TMS引脚连接到V _{DD} 。
RESET或RESETB	RESET	在处理器上直接硬件复位。当RESET置于低电平时，芯片将被初始化并置于复位状态。施密特触发器输入用于抗噪。 内部复位信号会在一定数量的内部时钟周期后，与内部时钟同步释放。

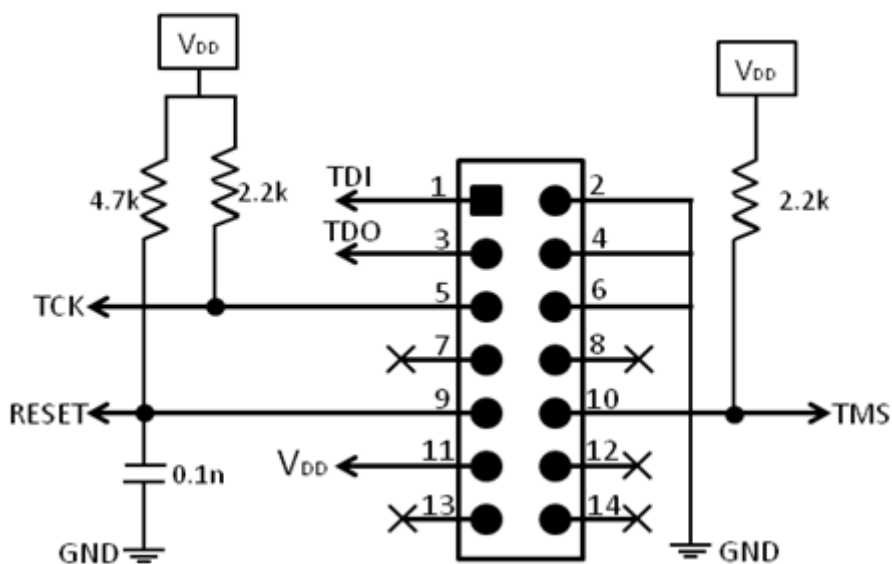


图1. JTAG连接器

- 如果芯片在嘈杂系统中使用，则应将外部RC电路连接到RESET引脚。电阻值应为4.7kΩ至10kΩ；电容值应为0.1μF至4.7μF。
- 为提高在嘈杂环境中的瞬态抗噪能力，请在正常运行时将RESET引脚配置为GPIO输出。
- 如果没有JTAG转换器，则应在JTAG端口的TMS引脚上添加2.2kΩ的外部上拉电阻，以使芯片处于正常工作模式（而非测试模式）。

3 电源布局

本节介绍用于为DSC供电的辅助电源的原理图和PCB布局建议：

- 为避免芯片内部压差， V_{DD} 和 V_{DDA} 之间的电压差不应超过0.1V。
- 从电路板电源到芯片上的每个 V_{DD} 引脚，以及从电路板接地到每个 V_{SS} （GND）引脚，都要提供低阻抗路径。
- 在 V_{DD} 和 V_{SS} 引脚上使用两个电容器：一个约10μF的钽电容器和一个陶瓷电容器。陶瓷电容器（0.01-0.1μF）应尽可能靠近封装的 V_{DD} 引脚。建议在每对 V_{DD}/V_{SS} （包括 V_{DDA}/V_{SSA} ）上各放置一个陶瓷电容器。陶瓷和钽电容器通常具有更好的容差。
- 连接到芯片的 V_{DD} 和 V_{SS} （GND）引脚的印刷电路走线应尽可能短。如果使用通孔，则确保电容器引线尽可能短。
- 为了稳定芯片正常运行所需的核心稳压器输出，请在每个VCAP引脚和 V_{SS} 之间连接一个2.2μF或更大的旁路电容器。建议使用陶瓷和钽电容器。
- 对于高频信号，应尽量缩短PCB走线长度。

- 计算 V_{DD} 的电容负载时，要考虑 V_{DD} 上的所有芯片负载以及PCB走线产生的寄生电容。这对于具有较高电容负载的系统至关重要，因为较高电容负载可能会在 V_{DD} 和 V_{SS} 电路中产生较高的瞬态电流。
- 特别注意尽量降低 V_{REF} 、 V_{DDA} 和 V_{SSA} 引脚上的噪声水平。
- 为了消除PCB走线阻抗效应，每个ADC输入都应该有一个RC滤波器（最小值为33pF和10Ω RC）。
- 对 V_{DD} 和 V_{DDA} 使用单独的电源平面， V_{SS} 和 V_{SSA} 使用单独的接地平面。将电源平面（模拟和数字）和接地平面尽可能靠近辅助电源输出电容器。如果模拟电路和数字电路由同一电源供电，则在 V_{DD} 和 V_{DDA} 之间连接一个小型电感器或铁氧体磁珠。将电路板上的数字地线和模拟地线短接至牢固的接地连接（最好是接地平面）。如果无法使用接地平面，则使用宽短路连接进行接地回路布线，以实现最低接地阻抗。
- 用接地平面分隔模拟元器件和噪声较大的数字元器件。请勿将模拟信号线与数字信号线平行放置。要将模拟信号走线与数字走线隔离，请在模拟信号走线周围放置模拟接地走线。

4 端接所有未使用的DSC芯片引脚

本节介绍如何端接DSC未使用的引脚。

- 为了确保芯片可靠运行，请将所有未使用的引脚连接到适当的电压电平，或者将未使用的引脚配置为具有逻辑零输出的数字输出引脚，并将这些数字输出引脚直接接地。
- 复位后但在I/O引脚初始化之前，所有I/O引脚均处于三态。
- 要使任何GPIO引脚处于三态而不将该引脚切换到输入模式，请对该引脚使用开漏模式。这种功能对键盘接口非常有用。

5 模拟输入引脚

在电机和电源转换设计中，请特别注意模拟反馈电路布局。

- 如果必须同时转换一对模拟通道，则必须将这些模拟通道连接到不同的ADC模块（ADCA和ADCB）。
- 差分输入应一起布线或与屏蔽接地并行布线。
- 每个ADC输入都有一个内部钳位电路（56F8006/2芯片除外），但所需的注入电流应小于3mA。为此，请使用带有合适限流电阻的输入RC低通滤波器。
- 如果注入到ADC引脚的电流超过3mA，或者模拟电压可能超出 V_{DD} 和地之间的电压（例如，在短路或过载时，电流检测模拟电压可能飙升到更高值），则应使用保护二极管将模拟输入连接到地和 V_{DD} 。

6 使用外部晶体振荡器

为了在DSC系统中实现精确的时钟，应使用外部晶体振荡器，且特别注意其PCB布局：

- 将晶体振荡器及其负载电容器尽可能靠近DSC芯片的XTAL和EXTAL引脚放置。
- 为了获得更好的时钟性能，请在晶体振荡器电路周围铺设接地线，但不要形成接地“孤岛”。
- 连接晶体振荡器电路（及其负载电容器）和DSC芯片引脚的走线应直而短，不使用过孔（最佳情况）或使用最少的过孔（如有必要）。
- 负载电容器的接地应使用走线直接连接到DSC芯片的V_{SS}引脚，而不是连接到附近的接地平面。

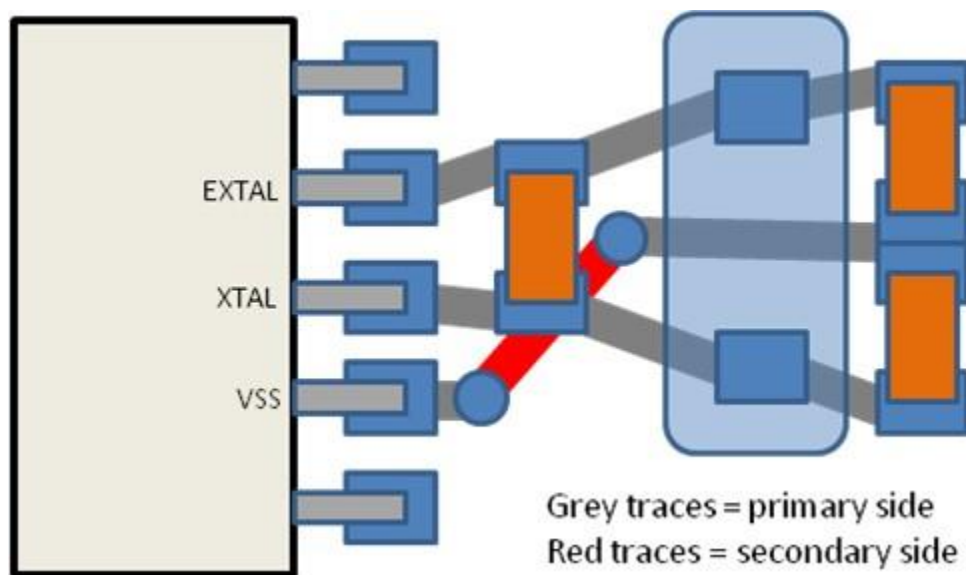


图2. 晶体振荡器布局

7 参考资料

如需了解以下参考资料，请参见nxp.com.cn：

- 《恩智浦数字信号控制器数据手册》
- 《使用JTAG/OnCE接口对56F80x芯片的片上闪存编程》应用笔记（AN1935文档）

8 修订历史

版本号	日期	实质性变更
0	2013年11月	初版发布
1	2014年2月	编辑修改

How to Reach Us:**Home Page:**

nxp.com.cn

Web Support:

nxp.com.cn/support

Information in this document is provided solely to enable system and software implementers to use NXP products. There are no express or implied copyright licenses granted hereunder to design or fabricate any integrated circuits based on the information in this document.

NXP reserves the right to make changes without further notice to any products herein. NXP makes no warranty, representation, or guarantee regarding the suitability of its products for any particular purpose, nor does NXP assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation consequential or incidental damages. "Typical" parameters that may be provided in NXP data sheets and/or specifications can and do vary in different applications, and actual performance may vary over time. All operating parameters, including "typicals", must be validated for each customer application by customer's technical experts. NXP does not convey any license under its patent rights nor the rights of others. NXP sells products pursuant to standard terms and conditions of sale, which can be found at the following address:
nxp.com.cn/SalesTermsandConditions.

NXP and the NXP logo are trademarks of NXP Semiconductor, Inc., Reg. U.S. Pat. & Tm. Off. All other product or service names are the property of their respective owners.

© 2014 NXP Semiconductor, Inc.

Documents Number: AN4826
Rev. 1
02/2014